

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-045824

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H01L 29/78

(21)Application number : 05-185117

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.07.1993

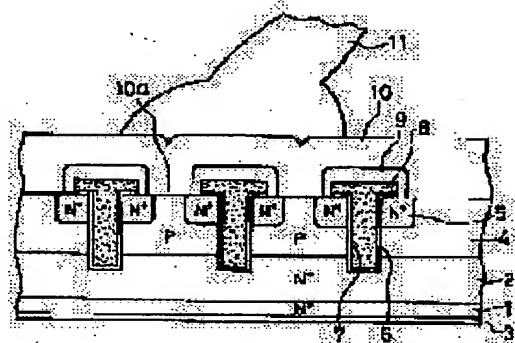
(72)Inventor : SUZUKI TAKEYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device in which a stress applied to a gate insulating film at the time of bonding to a source electrode can be alleviated while maintaining high integration.

CONSTITUTION: The semiconductor device comprises a first conductivity type semiconductor substrate 1, a first conductivity type low concentration layer formed on the substrate, a second conductivity type base region 4 having the conductivity type opposite to the first conductivity type and formed on the low concentration layer, and a first conductivity type source region 5 formed partly in the base region. A gate insulating film 7 is formed partly on the surface of the source region continued to a sidewall and the bottom of a groove formed vertically from the surface in the source region, and a gate electrode 8 is provided partly on the surface of the region 5 corresponding to the film 7.



LEGAL STATUS

[Date of request for examination] 20.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3226669

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-45824

(43)公開日 平成7年(1995)2月14日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M	H 0 1 L 29/ 78	3 2 1 G
		9055-4M		3 2 1 V

審査請求 未請求 請求項の数2 O L (全 8 頁)

(21)出願番号 特願平5-185117

(22)出願日 平成5年(1993)7月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 鈴木 健之

兵庫県姫路市余部区上余部50 株式会社東

芝姫路半導体工場内

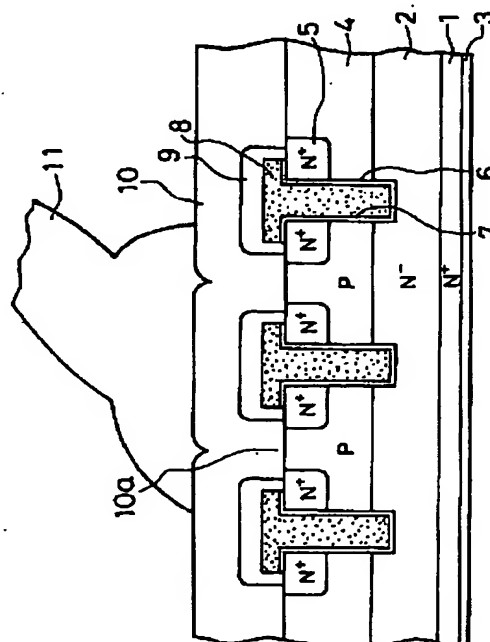
(74)代理人 弁理士 三好 保男 (外3名)

(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【目的】 高集積性を維持しつつ、ソース電極に対するボンディング時のゲート絶縁膜に加わるストレスを緩和することを可能とする半導体装置を提供することである。

【構成】 第1導電型の半導体基板1と、前記半導体基板上に形成された第1導電型の低濃度層と、前記低濃度層上に形成され前記第1導電型に対して反対導電型の第2導電型ベース領域4と、前記第2導電型ベース領域内の一部に形成された第1導電型ソース領域5とを備える。そして、ゲート絶縁膜7を、前記第1導電型ソース領域内に表面より縦方向へ設けられた溝の側壁及び底面に連続して第1導電型ソース領域の表面上一部まで形成し、ゲート電極8は、そのゲート絶縁膜7に対応して該第1導電型ソース領域5の表面上一部まで処設したものである。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、前記半導体基板上に形成された第1導電型の低濃度層と、前記低濃度層上に形成され前記第1導電型に対して反対導電型の第2導電型ベース領域と、前記第2導電型ベース領域内の一部に形成された第1導電型ソース領域と、前記第1導電型ソース領域内に表面より縦方向へ設けられた溝の側壁及び底面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して形成されたゲート電極と、前記第2導電型ベース領域と前記第1導電型ソース領域とに接続され、前記ゲート電極上に形成されたソース電極と、前記ソース電極上に形成された外部引出し用のボンディングワイヤとを備えた半導体装置において、前記ゲート絶縁膜を、前記溝の側壁及び底面に連続して前記第1導電型ソース領域の表面上一部まで形成し、前記ゲート電極は、そのゲート絶縁膜に対応して該第1導電型ソース領域の表面上一部まで処設したことを特徴とする半導体装置。

【請求項2】 第1導電型の半導体基板と、前記半導体基板上に形成された第1導電型の低濃度層と、前記低濃度層上に形成され前記第1導電型に対して反対導電型の第2導電型ベース領域と、前記第2導電型ベース領域内の一部に形成された第1導電型ソース領域と、前記第1導電型ソース領域内に表面より縦方向へ設けられた溝の側壁及び底面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して形成されたゲート電極と、前記第2導電型ベース領域と前記第1導電型ソース領域とにソースコンタクト領域を介して接続され前記ゲート電極上の層間絶縁膜を介して形成されたソース電極と、前記ソース電極上に形成された外部引出し用のボンディングワイヤとを備えた半導体装置において、前記第1導電型ソース領域の表面中央部を、前記ソースコンタクト領域側の該第1導電型ソース領域の表面よりも深く形成して凹部を設けると共に、該第1導電型ソース領域の前記凹部に前記溝を設け、前記ゲート絶縁膜は、前記溝の側壁及び底面に連続して前記凹部の表面上まで形成し、前記ゲート電極は、そのゲート絶縁膜に対応して前記凹部の表面上まで処設したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、トレンチ構造の縦型MOSFETで構成される半導体装置に関する。

【0002】

【従来の技術】 従来より使用されている縦型MOSFETの断面構造としては図5に示すものが一般的であった。

【0003】 図5は、従来のプレーナ構造の二重拡散型MOSFETの縦断面図である。

【0004】 二重拡散型MOSFETは、二重拡散によ

りチャネルを形成するもので、例えば格子状のゲート電極に囲まれた同一の拡散窓によりチャネル領域形成用の不純物拡散と、ソース領域形成用の不純物拡散とを行うものである。

【0005】 図5に示すMOSFETは、 N^+ 型高濃度シリコン基板101を有し、その基板101の表面上には N^- 型低濃度シリコンエピタキシャル層102が形成されている。この基板101及びエピタキシャル層102によってドレイン領域が形成され、基板101の裏面にはドレイン電極103が形成されている。

【0006】 前記 N^- エピタキシャル層102内にはP型不純物拡散領域（以下、P型ベース領域という）104が形成され、さらに該P型ベース領域104内には、 N^+ 型不純物拡散領域（以下、 N^+ 型ソース領域という）105が形成されている。また、 N^- 型エピタキシャル層102とP型ベース領域104との上には、 N^+ 型ソース領域105の一部表面上まで延在するゲート絶縁膜106とこれを介してゲート電極107が形成されている。

【0007】 ゲート電極107上には、層間絶縁膜108及びソース電極109が形成され、これらが複数の単位FETセル全てに接続されている。また、ゲート電極107は層間絶縁膜108の一部に開口されたコンタクト用窓によってゲート配線電極（図示省略）と接続がとられる。さらに、ソース電極109からの外部引出し用ボンディングワイヤ110は、FETセルの集積度アップのため、特別なパッド領域を設けずにFETセル上に形成されている。

【0008】 このようなプレーナ構造の二重拡散型MOSFETのオン抵抗成分は、図5に示すようにチャネル抵抗 R_{ch} 、蓄積層抵抗 R_{ac} 、JFET抵抗 R_J 、及びエビ部抵抗 R_{epi} の4つに大きく分けられる。この構造においては、ゲート電極107の幅を小さくすると、JFET抵抗 R_J が急激に増大してしまい、セルの高集積化、即ちオン抵抗の低減には限界がある。

【0009】 そこで、縦方向にチャネルを形成した図6に示すようなトレンチ構造のMOSFETが提案されている。

【0010】 図6は、従来のトレンチ構造の二重拡散型MOSFETの縦断面図である。なお、図5と共通の要素には同一の符号を付す。

【0011】 このトレンチ構造のMOSFETは、 N^- エピタキシャル層102内にP型ベース領域104が形成され、さらに該P型ベース領域104内には、 N^+ 型ソース領域105が形成されている。そして、該 N^+ 型ソース領域105内にP型ベース領域104を貫いて N^- エピタキシャル層102内に達するトレンチ（溝）111が形成され、このトレンチ111の側壁及び底面にゲート絶縁膜106が形成され、これを介してゲート電極107が形成されている。この構造では、チャネルaがト

レンチ111に沿って縦方向に形成されるため、図5に示す先のプレーナ構造のMOSFETに対して、ゲート電極107の幅を大幅に縮小できるので、セルの高集積化が可能となり単位面積当たりのチャンネル幅を増大することができる。また、プレーナ構造のオン抵抗成分のうち、蓄積層抵抗 R_{ac} 及びJFET抵抗 R_J がなくなるため、オン抵抗を大幅に低減することができる。なお、このトレンチ構造においても、上記のプレーナ構造と同様にソース電極109からの外部引出し用ボンディングワイヤ110は、FETセルの集積度アップのため、図6に示すようにFETセル上に形成される。

【0012】

【発明が解決しようとする課題】上記のトレンチ構造のMOSFETにおいて、先に述べたようにソース電極109からの外部引出し用ボンディングワイヤ110は、特別にパッド領域を設けずにFETセル上に形成されるが、この時のソース電極109に対するボンディングのストレスにより、ゲート絶縁膜106の耐量低下や寿命低下が問題となる。特に、トレンチ111のコーナ部b（図6に示す）は薄膜のゲート絶縁膜106が形成されており、ゲート・ソース間のショート不良が生ずる恐れが多にある。

【0013】この点については、ボンディングワイヤ形成領域をFETセル外に形成すれば単純に解決されるが、この場合はセル集積度が低下してオン抵抗が増加してしまう。また、FETセル上にボンディングを行う場合、このストレスの緩和としてゲート電極107上の層間絶縁膜108を厚くする方法が考えられるが、ソースコンタクト領域c（図6に示す）の段差が非常に大きくなり段切れ等の問題が生ずる恐れがあり微細化が困難となる。

【0014】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、高集積性を維持しつつ、ソース電極に対するボンディング時のゲート絶縁膜に加わるストレスを緩和することを可能とする半導体装置を提供することである。

【0015】

【課題を解決するための手段】上記目的を達成するために、第1の発明の特徴は、第1導電型の半導体基板と、前記半導体基板上に形成された第1導電型の低濃度層と、前記低濃度層上に形成され前記第1導電型に対して反対導電型の第2導電型ベース領域と、前記第2導電型ベース領域内の一部に形成された第1導電型ソース領域と、前記第1導電型ソース領域内に表面より縦方向へ設けられた溝の側壁及び底面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して形成されたゲート電極と、前記第2導電型ベース領域と前記第1導電型ソース領域とに接続され、前記ゲート電極上に形成されたソース電極と、前記ソース電極上に形成された外部引出し用のボンディングワイヤとを備えた半導体装置において、

前記ゲート絶縁膜を、前記溝の側壁及び底面に連続して前記第1導電型ソース領域の表面上一部まで形成し、前記ゲート電極は、そのゲート絶縁膜に対応して該第1導電型ソース領域の表面上一部まで処設したことにある。

【0016】第2の発明の特徴は、第1導電型の半導体基板と、前記半導体基板上に形成された第1導電型の低濃度層と、前記低濃度層上に形成され前記第1導電型に対して反対導電型の第2導電型ベース領域と、前記第2導電型ベース領域内の一部に形成された第1導電型ソース領域と、前記第1導電型ソース領域内に表面より縦方向へ設けられた溝の側壁及び底面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して形成されたゲート電極と、前記第2導電型ベース領域と前記第1導電型ソース領域とにソースコンタクト領域を介して接続され前記ゲート電極上の層間絶縁膜を介して形成されたソース電極と、前記ソース電極上に形成された外部引出し用のボンディングワイヤとを備えた半導体装置において、前記第1導電型ソース領域の表面中央部を、前記ソースコンタクト領域側の該第1導電型ソース領域の表面よりも深く形成して凹部を設けると共に、該第1導電型ソース領域の前記凹部に前記溝を設け、前記ゲート絶縁膜は、前記溝の側壁及び底面に連続して前記凹部の表面上まで形成し、前記ゲート電極は、そのゲート絶縁膜に対応して前記凹部の表面上まで処設したことにある。

【0017】

【作用】上述の如き構成によれば、第1の発明は、ゲート電極がゲート絶縁膜を介して N^+ 型ソース領域の表面上の一部まで処設されているので、この処設部分がボンディングワイヤをソース電極にボンディングする時のゲート絶縁膜に加わるストレスを緩和する。

【0018】第2の発明は、第1導電型ソース領域に凹部が形成され、その凹部に溝が設けられるので、ゲート電極上の層間絶縁膜が他の領域よりも厚く形成され、第1の発明よりも更に一層、ボンディング時のゲート絶縁膜に加わるストレスを緩和することができる。さらにソースコンタクト領域近傍の層間絶縁膜をゲート電極上の層間絶縁膜よりも薄く形成できるため、トレンチ構造のMOSFETの微細化にも支障を来さない。

【0019】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は、本発明の第1実施例に係るトレンチ構造の二重拡散型MOSFET（半導体装置）の縦断面図である。

【0020】このMOSFETは、 N^+ 型高濃度シリコン基板1を有し、その基板1の表面上には N^+ 型低濃度シリコンエピタキシャル層2が積層されている。この N^+ 型基板1及び N^+ 型エピタキシャル層2によってドレイン領域が形成され、基板1の裏面にはドレイン電極3が形成されている。

【0021】前記 N^+ エピタキシャル層2内には所定の拡

散深さのP型ベース領域（チャネル領域となる）4が形成され、さらに該P型ベース領域4主面側の所定領域には該P型ベース領域4とは反対導電型のN⁺型ソース領域5が形成されている。そして、N⁺型ソース領域5内にP型ベース領域4を貫いてN⁺エピタキヤル層2に達するトレンチ（溝）6が形成され、このトレンチ6の側壁及び底部全面、更にN⁺型ソース領域5の表面上の一部まで連続してゲート絶縁膜7が形成されている。そして、このゲート絶縁膜7を介して多結晶シリコンからなるゲート電極8が、前記トレンチ6に埋設される形でN⁺型ソース領域5の表面上の一部まで（トレンチ6のコナ部から0.5μm程度）処設されている。

【0022】ゲート電極8の表面上は層間絶縁膜9によって被覆され、この層間絶縁膜9上には、P型ベース領域4及びN⁺型ソース領域5にソースコンタクト領域10aを介して接続されるソース電極10が設けられる。ゲート電極8は層間絶縁膜9の一部に開口されたコンタクト用窓によってゲート配線電極と接続がとられる。さらに、ソース電極10からの外部引出し用ボンディングワイヤ11は、FETセルの集積度アップのため、特別なパッド領域を設けずにFETセル上に形成されている。

【0023】図2（a）～（c）は、上記の図1に示すトレンチ構造の二重拡散型MOSFETの製造工程図である。

【0024】図2（a）において、まず、N⁺型高濃度シリコン基板1の表面上にN⁺型低濃度シリコンエピタキヤル層2を成長させる。これは、例えばSiH₄+H₂あるいはSiH₂Cl₂+H₂ガス系によるCVD法（1000～1100℃）で行われる。このようにして形成されたドレイン領域に対し、N⁺エピタキヤル層2内にP型ベース領域4と、該P型ベース領域4主面側の所定領域にN⁺型ソース領域5とを拡散形成する。こうして、図2（a）に示すような構造となる。

【0025】次に、図2（b）において、N⁺型ソース領域5に対して選択的に異方性エッチングを行い、エッチングの底部がN⁺型エピタキヤル層2内の所定の深さに到達する間でエッチングを進めてトレンチ6を形成する。引き続いて、トレンチ6の側壁及び底部全面を含むチップ表面にゲート絶縁膜（SiO₂）7を形成すると共に、このゲート絶縁膜7を介してゲート電極（多結晶シリコン）8を形成する。ここで、ゲート絶縁膜7は、例えばチップを酸性気相雰囲気中で1000℃程度に熱して形成され、ゲート電極8は、例えばSiH₄の熱分解反応による減圧CVD法（600～650℃）により形成される。そして、ゲート電極8及びゲート絶縁膜7をエッチングして、ゲート電極8が前記トレンチ6に埋設される形でN⁺型ソース領域5の表面上の一部まで（トレンチ6のコナ部から0.5μm程度）処設されるように形成する。こうして図2（b）に示すような構造とな

る。

【0026】続いて、図2（c）に示すように、ゲート電極8が形成されたチップの表面に例えばリンガラス膜（PSG）の層間絶縁膜9を被覆した後、エッチバック法等を用いて層間絶縁膜9を平坦化する。

【0027】次いで、フォトリソ技術を用いてソースコンタクト領域10aを形成した後、A1等からなるソース電極10を選択的に形成すると共に、前記高濃度シリコン基板1の裏面にドレイン電極3を形成する。そして、ソース電極10にボンディングワイヤ11をボンディングすれば、上記図1に示す構造のMOSFETが得られる。

【0028】本実施例によれば、ゲート絶縁膜7を、トレンチ6の側壁及び底部全面、更にN⁺型ソース領域5の表面上の一部まで連続して形成し、このゲート絶縁膜7を介してゲート電極8が前記トレンチ6に埋設される形でN⁺型ソース領域5の表面上の一部まで処設される構造としたので、ボンディングワイヤ11をソース電極10にボンディングする時のゲート絶縁膜7に加わるストレスを緩和することができる。これにより、ボンディング時のストレスによるゲート絶縁膜7の耐量低下や寿命低下を防ぐことができ、ゲート・ソース間のショート不良を未然に防止できる。

【0029】図3は、本発明の第2実施例に係るトレンチ構造の二重拡散型MOSFETの縦断面図である。

【0030】本実施例が上記第1実施例と異なる点は、ゲート電極8が形成されるN⁺型ソース領域5の表面中央部を、ソースコンタクト領域10a側のソース領域5の表面よりも深く形成して凹部5aを設け、その凹部5aにトレンチ6を設けた点にある。

【0031】図4（a）～（d）は、上記の図3に示すトレンチ構造の二重拡散型MOSFETの製造工程図である。

【0032】図4（a）において、上記した図2（a）で説明したものと同様の方法を用い、N⁺型高濃度シリコン基板1の表面上にN⁺型低濃度シリコンエピタキヤル層2を成長させる。

【0033】次に、図4（b）において、ゲート電極8が形成されるN⁺型ソース領域5の表面中央部を、ソースコンタクト領域10a側のソース領域5の表面よりも深く形成して凹部5aを設ける。この場合、例えば、SiH₂Cl₂+NH₃ガス系で減圧CVD（700～900℃）法でN⁺型低濃度シリコンエピタキヤル層2上に堆積したシリコン窒化膜（Si₃N₄）をマスクとして、選択酸化（LOCOS）法を用いて行う。

【0034】図4（c）、（d）においては、前記凹部5aにトレンチ6を設けて、図2（b）、（c）で説明したものと同様の方法を用い、ゲート電極8が、ゲート絶縁膜7を介してトレンチ6に埋設される形でN⁺型ソース領域5の表面上の一部まで処設されるように形成

し、さらに層間絶縁膜9を被覆する。

【0035】そして、第1実施例で述べたように、ソースコンタクト領域10aを形成した後、ソース電極10を選択的に形成すると共に、高濃度シリコン基板1の裏面にドレイン電極3を形成し、ソース電極10にボンディングワイヤ11をボンディングすれば、上記図3に示す構造のMOSFETが得られる。

【0036】本実施例によれば、ゲート電極8上の層間絶縁膜9が他の領域よりも厚く形成され、第1実施例よりも更に一層、ボンディング時のゲート絶縁膜7に加わるストレスを緩和することができ、前述したゲート絶縁膜7の耐量低下や寿命低下の防止効果が一層顕著となる。さらに、ソースコンタクト領域10a近傍の層間絶縁膜9をゲート電極8上の層間絶縁膜9よりも薄く形成できるため、トレンチ構造のMOSFETの微細化にも支障を来さない。

【0037】なお、上記実施例においては、Nチャネル型MOSFETについて述べたが、例えばPチャネル型MOSFETはもちろん、IGBTについても適用可能である。

【0038】

【発明の効果】以上に説明したように、第1の発明によれば、ゲート絶縁膜を、溝の側壁及び底面に連続して第1導電型ソース領域の表面上部まで形成し、ゲート電極は、そのゲート絶縁膜に対応して該第1導電型ソース領域の表面上部まで処設したので、ボンディングワイヤをソース電極にボンディングする時のゲート絶縁膜に加わるストレスを緩和することができる。これにより、ボンディング時のストレスによるゲート絶縁膜の耐量低下や寿命低下を防ぐことができ、ゲート・ソース間のショート不良を未然に防止することが可能となる。従って、プレーナ構造のMOSFETと同様に容易にFETセル上へのソースボンディングが可能となる。

【0039】第2の発明によれば、第1導電型ソース領域の表面中央部を、ソースコンタクト領域側の該第1導電型ソース領域の表面よりも深く形成して凹部を設けると共に、該第1導電型ソース領域の前記凹部に溝を設

け、ゲート絶縁膜は、前記溝の側壁及び底面に連続して前記凹部の表面上まで形成し、ゲート電極は、そのゲート絶縁膜を介して前記凹部の表面上まで処設したので、第1の発明よりも更に一層、ボンディング時のゲート絶縁膜に加わるストレスを緩和することができ、その効果が一層顕著となる。さらにソースコンタクト領域近傍の層間絶縁膜をゲート電極上の層間絶縁膜よりも薄く形成できるため、トレンチ構造のMOSFETの微細化にも支障を来さない。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るトレンチ構造の二重拡散型MOSFETの縦断面図である。

【図2】上記の図1に示すトレンチ構造の二重拡散型MOSFETの製造工程図である。

【図3】本発明の第2実施例に係るトレンチ構造の二重拡散型MOSFETの縦断面図である。

【図4】上記の図3に示すトレンチ構造の二重拡散型MOSFETの製造工程図である。

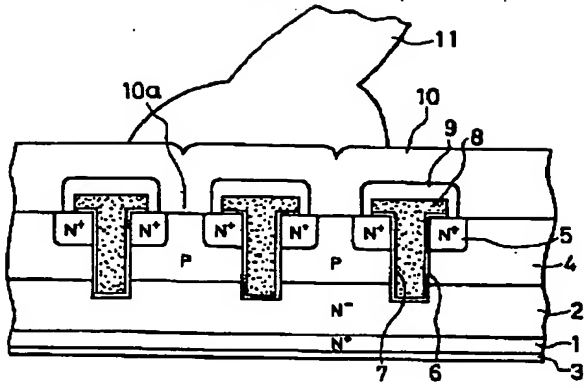
【図5】従来のプレーナ構造の二重拡散型MOSFETの縦断面図である。

【図6】従来のトレンチ構造の二重拡散型MOSFETの縦断面図である。

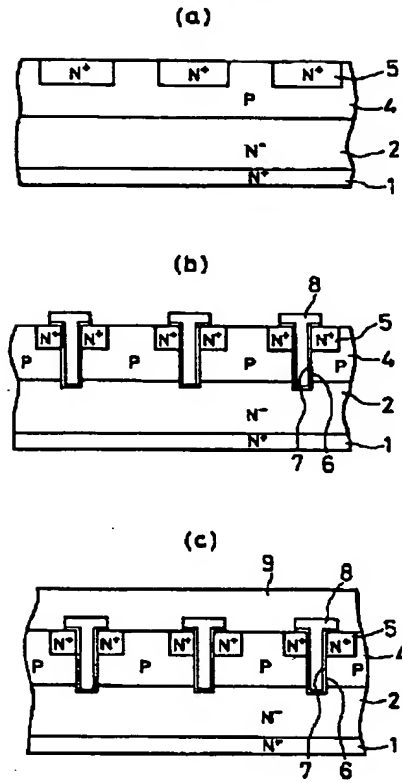
【符号の説明】

- 1 N⁺型高濃度シリコン基板
- 2 N⁻型エピタキヤル層
- 3 ドレイン電極
- 4 P型ベース領域
- 5 N⁺型ソース領域
- 5a 凹部
- 6 トレンチ
- 7 ゲート絶縁膜
- 8 ゲート電極
- 9 層間絶縁膜
- 10a ソースコンタクト領域
- 10 ソース電極
- 11 ボンディングワイヤ

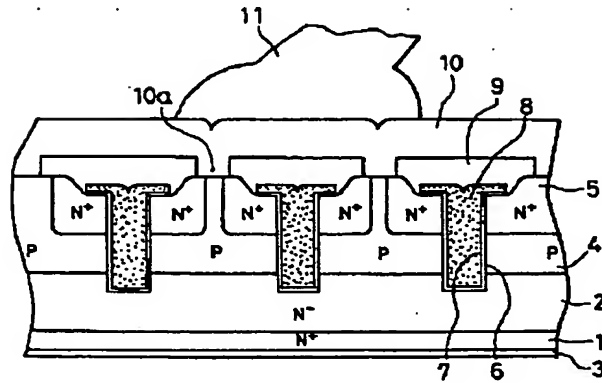
【図1】



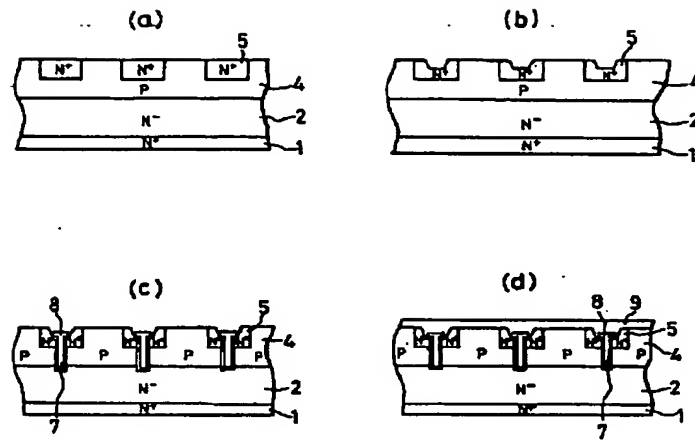
【図2】



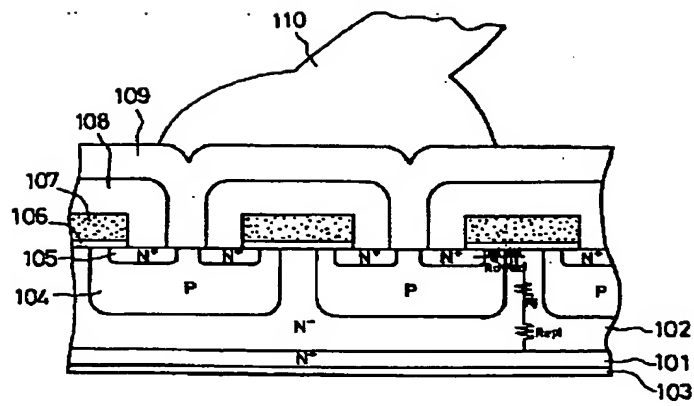
【図3】



【図4】



【図 5】



[illegible]